

PAT-NO: **JP02000035831A**

DOCUMENT-IDENTIFIER: **JP 2000035831 A**

TITLE: **LOW SKEW CLOCK TREE CIRCUIT USING
VARIABLE THRESHOLD
VOLTAGE TRANSISTOR**

----- **KWIC** -----

Abstract Text - FPAR (2):

SOLUTION: This clock tree circuit uses a transistor having a threshold voltage variable well structure for a clock element. Here, it has phase comparator circuits 31 to 33 which perform comparison observation of skew values among respective elements 21 to 24 and output differential voltage and charge pump circuits 41 to 43 which make the differential voltage of the circuits 31 to 33 inputs and supply them as well potential to each well terminal of the elements 21 to 24, controls the switching speed of a clock tree circuit by adjusting the threshold voltage of each element 21 to 24 and reduces clock skew.

Document Identifier - DID (1):

JP 2000035831 A

BEST AVAILABLE COPY

Title of Patent Publication - TTL (1):
LOW SKEW CLOCK TREE CIRCUIT USING VARIABLE
THRESHOLD VOLTAGE TRANSISTOR

BEST AVAILABLE COPY

LOW SKEW CLOCK TREE CIRCUIT USING VARIABLE THRESHOLD VOLTAGE TRANSISTOR

Patent number: JP20000035831
Publication date: 2000-02-02
Inventor: MIZUNO MASAHIRO
Applicant: NEC CORP
Classification: G06F1/10; H03L7/081
- International:
- European:
Application number: JP19980205309 19980721
Priority number(s):

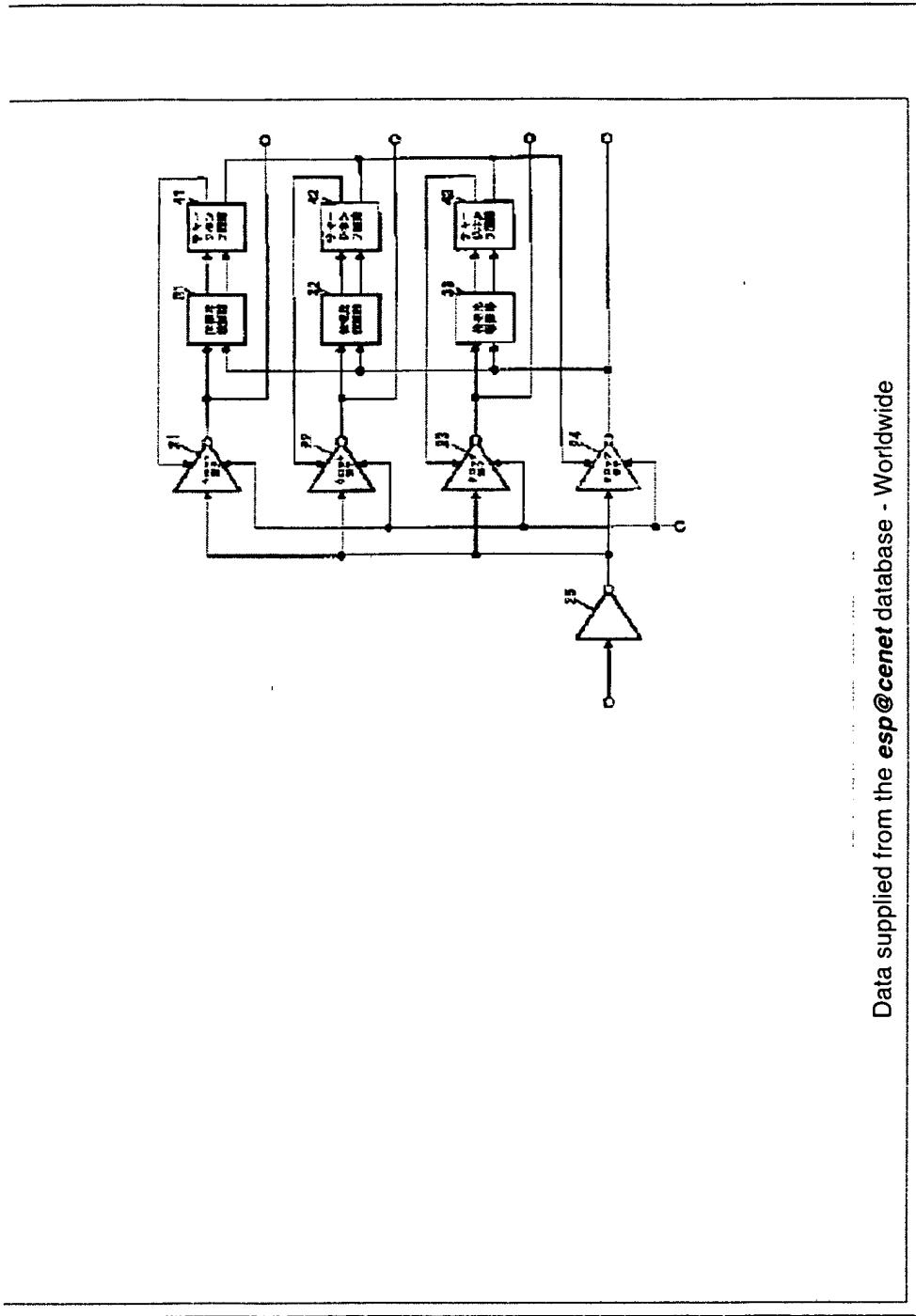
Also published as:
 JP20000035831 (A)

Abstract of JP20000035831

PROBLEM TO BE SOLVED: To provide a clock tree circuit capable of controlling clock skew of a clock tree circuit, reduced in power consumption and low in clock skew.

SOLUTION: This clock tree circuit uses a transistor having a threshold voltage variable well structure for a clock element. Here, it has phase comparator circuits 31 to 33 which perform comparison observation of skew values among respective elements 21 to 24 and output differential voltage and charge pump circuits 41 to 43 which make the differential voltage of the circuits 31 to 33 inputs and supply them as well potential to each well terminal of the elements 21 to 24, controls the switching speed of a clock tree circuit by adjusting the threshold voltage of each element 21 to 24 and reduces clock skew.

BEST AVAILABLE COPY



BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-35831

(P2000-35831A)

(43) 公開日 平成12年2月2日 (2000.2.2)

(51) Int CL
G 06 F 1/10
H 03 L 7/081

識別記号

P I
G 06 F 1/04
H 03 L 7/08

テマコード (参考)
330 A 5 B 079
J 5 J 060

審査請求 有 国求項の数 6 OL (全 5 頁)

(21) 出願番号 特願平10-205309

(22) 出願日 平成10年7月21日 (1998.7.21)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 水野 雅春

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070219

弁理士 若林 忠 (外4名)

Fターム (参考) 5B079 BB04 BC01 CC08 DD08

5J060 AA03 CC21 CC59 DD24 DD32

GG14 HH02 JJ06 KK36 KK37

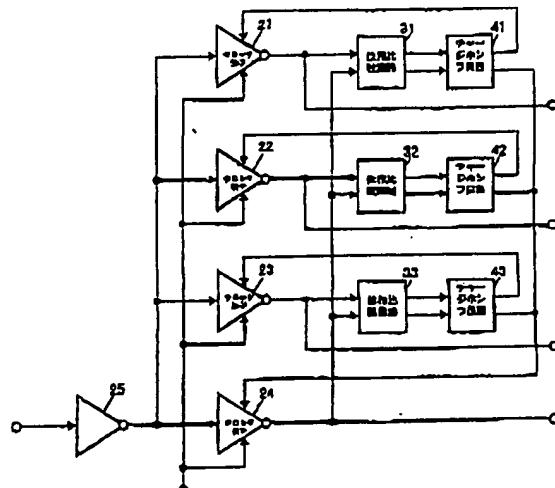
LL05

(54) 【発明の名称】 可変閾値電圧トランジスタを用いた低スキュークロックツリー回路

(57) 【要約】

【課題】 クロックツリー回路のクロックスキューを制御して、消費電力の少なく、クロックスキューの低いクロックツリー回路を提供する。

【解決手段】 本発明の可変閾値電圧トランジスタを用いた低スキュークロックツリー回路は、クロック素子に閾値電圧可変なウエル構造を持つトランジスタを用いるクロックツリー回路であって、各クロック素子間のスキュー値を比較観測し、差電圧を出力する位相比較回路と、位相比較回路の差電圧を入力としクロック素子の各ウエル端子にウエル電位として供給するチャージポンプ回路を有し、各クロック素子の閾値電圧を調整することで、クロックツリー回路のスイッチングスピードを制御し、クロックスキューを低減することを特徴とする。



1

2

【特許請求の範囲】

【請求項1】 クロック素子に閾値電圧可変なウエル構造を持つトランジスタを用い、クロックツリーによってクロックを分配するクロックツリー回路において、各クロック素子間のスキー値を比較観測する比較観測手段と、前記比較観測結果から各クロック素子のウエル電位を制御する制御手段を有し、前記制御手段によりウエル電位を制御し閾値電圧を調整することで、クロックツリー回路のスイッチングスピードを制御し、クロックスキーを低減することを特徴とする可変閾値電圧トランジスタを用いた低スキークロックツリー回路。

【請求項2】 前記各クロック素子間のスキー値を比較観測する比較観測手段が、クロック素子間の位相を比較し、差電圧を出力する位相比較回路である請求項1記載の可変閾値電圧トランジスタを用いた低スキークロックツリー回路。

【請求項3】 前記各クロック素子間のスキー値を比較観測する比較観測手段が、比較対象となるクロック素子の内の任意のクロック素子をベースにして残りの各クロック素子との素子間の位相を比較し、差電圧を出力することを特徴とする請求項1または2記載の可変閾値電圧トランジスタを用いた低スキークロックツリー回路。

【請求項4】 前記比較観測結果から各クロック素子のウエル電位を制御する制御手段が、前記位相比較回路の差電圧を入力としクロック素子のP型MOSトランジスタのNウエル端子にウエル電位として供給するチャージポンプ回路である請求項1乃至3の何れかに記載の可変閾値電圧トランジスタを用いた低スキークロックツリー回路。

【請求項5】 前記比較観測結果から各クロック素子のウエル電位を制御する制御手段が、前記位相比較回路の差電圧を入力としクロック素子のN型MOSトランジスタのPウエル端子にウエル電位として供給するチャージポンプ回路である請求項1、乃至3の何れかに記載の可変閾値電圧トランジスタを用いた低スキークロックツリー回路。

【請求項6】 前記比較観測結果から各クロック素子のウエル電位を制御する制御手段が、前記位相比較回路の差電圧を入力としクロック素子のP型MOSトランジスタのNウエル端子にウエル電位として供給するチャージポンプ回路と、前記位相比較回路の差電圧を入力としクロック素子のN型MOSトランジスタのPウエル端子にウエル電位として供給するチャージポンプ回路を有する請求項1乃至3の何れかに記載の可変閾値電圧トランジスタを用いた低スキークロックツリー回路。

【発明の詳細な説明】

10

20

30

40

50

【0001】

【発明の属する技術分野】クロックを分配するクロックツリー回路に関し、特に可変閾値電圧トランジスタを用いたクロックツリー回路の素子間のクロックスキーに関する。

【0002】

【従来の技術】LSIの高集積化と共に回路規模の増大と、動作速度の高速化が行われている。従来、クロックを分配するクロックツリー回路の各クロック素子のウエル電位は、図7に示すように共通であり、製造条件等に依存してクロックツリー回路のチップ内各クロック素子のスイッチングスピードがばらついた場合、クロックツリー回路のクロックスキーが大きくなる欠点を持っていた。

【0003】

【発明が解決しようとする課題】各クロック素子のスイッチングスピードが個別に制御ができず、各クロック素子間のスイッチングスピードが製造条件等に依存してチップ内にばらついた場合、各クロック素子のウエル電位が共通であり、各クロック素子の閾値電圧、すなわち、スイッチングスピードを個別に制御することが不可能であるので、クロックスキーが大きくなる欠点を持っている。

【0004】上記の欠点を解決する半導体装置として特開平9-92723号公報が開示されている。開示された半導体装置は、内部クロック間のスキー観測回路と、クロック間で相対的に位相の進んだクロックの負荷を増加させる負荷増減回路を有し、ばらつき観測回路の観測値のクロック源の位に近いものから順次検出状態を固定し、負荷増減回路による内部クロックの負荷を固定する順序維持回路を有するものである。

【0005】しかし、特開平9-92723号公報に開示されている半導体装置は、従来のクロックツリー回路に比較し、付加される回路群が多く、消費電力の点で問題を有する。

【0006】本発明の目的は、クロックツリー回路のクロックスキーを制御して、消費電力の少なく、クロックスキーの低いクロックツリー回路を提供することである。

【0007】

【課題を解決するための手段】本発明の可変閾値電圧トランジスタを用いた低スキークロックツリー回路は、クロック素子に閾値電圧可変なウエル構造を持つトランジスタを用いるクロックツリー回路であって、各クロック素子間のスキー値を比較観測する比較観測手段と、比較観測結果から各クロック素子のウエル電位を制御する制御手段を有し、ウエル電位を制御し閾値電圧を調整することで、クロックツリー回路のスイッチングスピードを制御し、クロックスキーを低減することを特徴とする。また、各クロック素子間のスキー値を比較

観測する比較観測手段は、クロック素子間の位相を比較し、差電圧を出力する位相比較回路であって良い。

【0008】また、比較観測結果から各クロック素子のウエル電位を制御する制御手段は、位相比較回路の差電圧を入力としクロック素子のP型MOSトランジスタのNウエル端子にウエル電位として供給するチャージポンプ回路と、位相比較回路の差電圧を入力としクロック素子のN型MOSトランジスタのPウエル端子にウエル電位として供給するチャージポンプ回路であって良い。

【0009】本発明の可変閾値電圧トランジスタを用いた低スキューコロックツリー回路は、閾値電圧可変なウエル構造を持つトランジスタで構成されたクロックツリー回路と、各クロック素子間のクロックスキュー値を比較観測するクロックスキュー比較観測回路と、前記クロックスキュー比較観測回路の測定結果から各クロック素子のウエル電位を個別に制御するウエル電位制御回路とで構成された半導体集積回路で、各クロック素子間のクロックスキュー値を比較観測し、その測定結果から各クロック素子のウエル電位をウエル電位制御回路で個別に制御し閾値電圧を調整することで、各クロック素子のスイッチングスピードを制御し、他クロック素子とのクロックスキューを低減させる。

【0010】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0011】図1は本発明の原理を示す機能ブロック図で、閾値電圧可変なウエル構造を持つトランジスタで構成されたクロックツリー回路1と、各クロック素子間のクロックスキュー値を比較し、電圧に変換するクロックスキュー比較観測回路2と、クロックスキュー比較観測回路2の測定結果から各クロック素子のウエル電位を個別に制御するウエル電位制御回路3とで構成される。

【0012】図2は図1の閾値電圧可変なウエル構造を持つトランジスタで構成されたクロックツリー回路1の構成を表す論理回路図である。図2において、クロック供給元25はクロック素子21、22、23、24にクロックを分配している。クロック素子21は、図に示すように、更に4個のクロック素子にクロックを分配している。ここでは4個のクロック素子にクロックを分配しているが、その数に制限されるものではない。

【0013】図3は図2の各クロック素子のトランジスタレベルの回路図である。本発明のクロックツリーに使われるクロック素子のウエル電位は、P型MOSトランジスタのNウエル端子CTR*Aと、N型MOSトランジスタのPウエル端子CTR*Bとに分離されており、そのウエル電位は個別に制御できるものである。次に、本発明の実施例を図を参照して説明する。図4は本発明の第1の実施例の回路構成を示すブロック図、図5は本発明の第2の実施例の回路構成を示すブロック図、図6は本発明の第3の実施例の回路構成を示すブロック

図である。

【0014】図4は比較対象となるクロック素子内のクロック素子24をベースにして残りの各クロック素子21、22、23との素子間の位相を比較し、差電圧を出力する位相比較回路31、32、33と、位相比較回路の差電圧を入力としクロック素子のP型MOSトランジスタのNウエル端子にウエル電位として供給するチャージポンプ回路41、42、43とにより構成されている。

【0015】また、図5は比較対象となるクロック素子内のクロック素子24をベースにして残りの各クロック素子21、22、23との素子間の位相を比較し、差電圧を出力する位相比較回路31、32、33と、位相比較回路の差電圧を入力としクロック素子のN型MOSトランジスタのPウエル端子にウエル電位として供給するチャージポンプ回路41、42、43とにより構成されている。

【0016】更にまた、図6は比較対象となるクロック素子の内クロック素子24をベースにして残りの各クロック素子21、22、23との素子間の位相を比較し、差電圧を出力する位相比較回路31～36と、位相比較回路31、33、35の差電圧を入力としクロック素子21、22、23のP型MOSトランジスタのNウエル端子にウエル電位として供給するチャージポンプ回路41、43と、位相比較回路32、34、36の差電圧を入力としクロック素子21、22、23のN型MOSトランジスタのPウエル端子にウエル電位として供給するチャージポンプ回路42、44、46により構成されている。

【0017】上記で説明した構成を持つクロックツリー回路1は、図1に戻り、各クロック素子間のクロックスキュー値を位相比較回路に相当するクロックスキュー比較観測回路2で観測し、その測定結果から各クロック素子のウエル電位をチャージポンプ回路に相当するウエル電位制御回路3で個別に制御し閾値電圧の調整を行うことで各クロック素子のスイッチングスピードを制御し、他のクロック素子とのクロックスキューを低減させる。

【0018】

【発明の効果】本発明によれば、閾値電圧可変なウエル構造を持つトランジスタで構成したクロックツリー回路は、各クロック素子間のクロックスキュー値を比較観測し、その測定結果から各クロック素子のウエル電位を個別に制御し閾値電圧を調整することで、各クロック素子のスイッチングスピードを制御し、他クロック素子とのクロックスキューを低減させることができる効果がある。

【0019】また、本発明によれば、閾値電圧可変なウエル構造を持つトランジスタで構成したクロックツリー回路は、直接クロックスキューを測定し、制御するため、製造条件の変動等にも依存しない、低スキューナク

ロックツリー回路を実現することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す機能ブロック図である。

【図2】図1の固定電圧可変なウエル構造を持つトランジスタで構成されたロックツリー回路1の構成を表す論理回路図である。

【図3】図2の各ロック素子のトランジスタレベルの回路図である。

【図4】本発明の第1の実施例の回路構成を示すブロック図である。

【図5】本発明の第2の実施例の回路構成を示すブロック図である。

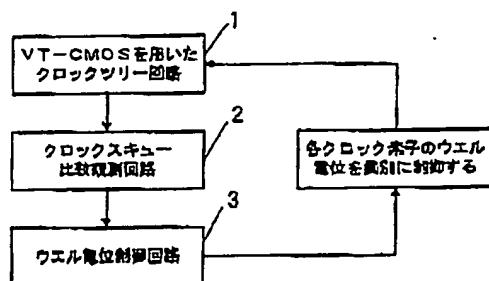
【図6】本発明の第3の実施例の回路構成を示すブロック図である。

【図7】従来の一実施例を示す機能ブロック図である。

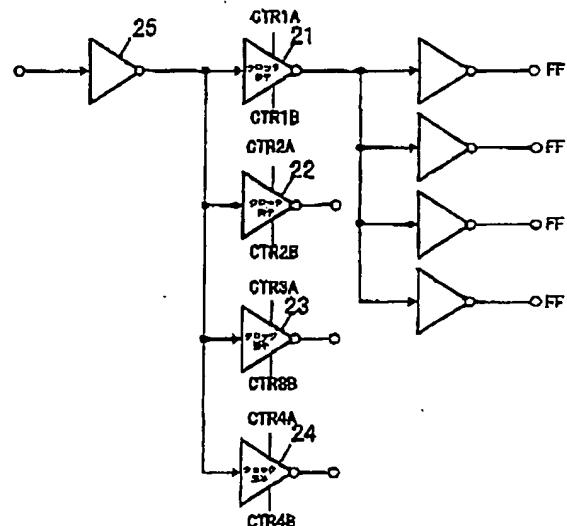
【符号の説明】

1	VT-CMOSを用いたロックツリー回路
2	クロックスキュー比較観測回路
3	ウエル電位制御回路
21, 22, 23, 24	ロック素子
25	クロック供給元ロック素子
31, 32, 33, 34, 35, 36	位相比較回路
41, 42, 43, 44, 45, 46	チャージポンプ回路

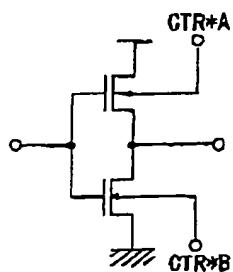
【図1】



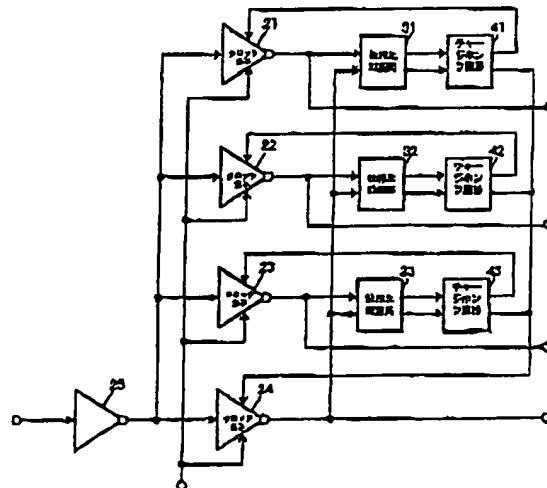
【図2】



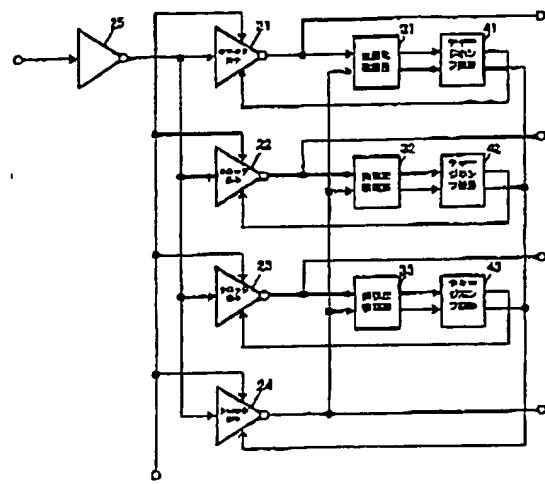
【図3】



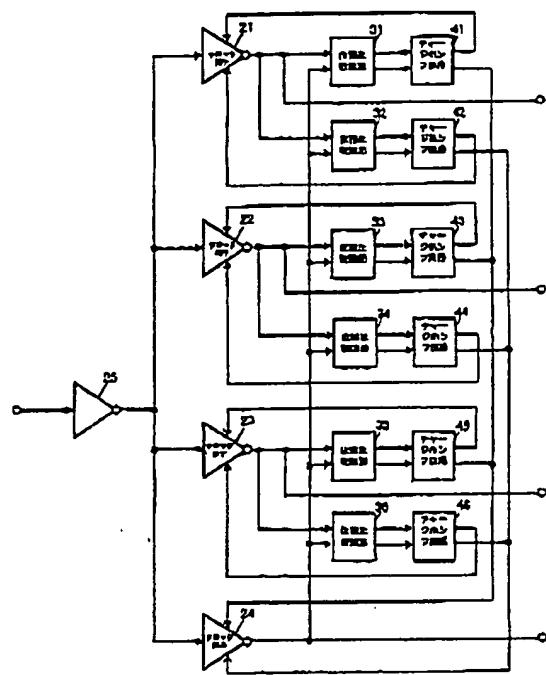
【図4】



【図5】



【図6】



【図7】

